

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06012878 A

(43) Date of publication of application: 21.01.1994

(51) Int. Cl. G11C 11/413
G01R 31/318, H01L 21/66, H01L 27/10

(21) Application number: 04166475
(22) Date of filing: 25.06.1992

(71) Applicant: MITSUBISHI ELECTRIC CORP
(72) Inventor: HARAGUCHI YOSHIYUKI
ARITA YUTAKA

(54) SEMICONDUCTOR MEMORY DEVICE

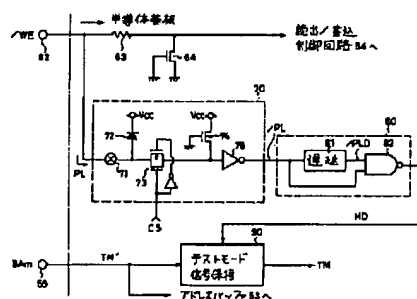
(57) Abstract:

PURPOSE: To prevent the operation in a test mode after shipment by fusing a fuse after performing the test before shipment.

CONSTITUTION: When the test before shipment of a SRAM is required, a pulse signal PL having the pulse width wider than a predetermined time length is given through a terminal 62. A pulse width detecting circuit 80 detects the pulse width of the supplied pulse signal and outputs a holding signal HD. A holding circuit 90 for a test mode signal holds a test mode request signal TM' given from outside responding to the holding

signal HD. After the termination of the test before shipment, the pulse width detecting circuit 80 is disabled by fusing a fuse 71.

COPYRIGHT: (C)1994,JPO&Japio



BEST AVAILABLE COPY

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-12878

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/413				
G 0 1 R 31/318				
H 0 1 L 21/68		W 7352-4M		
		8741-5L	G 1 1 C 11/ 34	3 4 1 D
		6912-2G	G 0 1 R 31/ 28	B
審査請求 未請求 請求項の数3(全13頁) 最終頁に続く				

(21)出願番号 特願平4-168475

(22)出願日 平成4年(1992)6月25日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 原口 喜行

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

(72)発明者 有田 貴

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

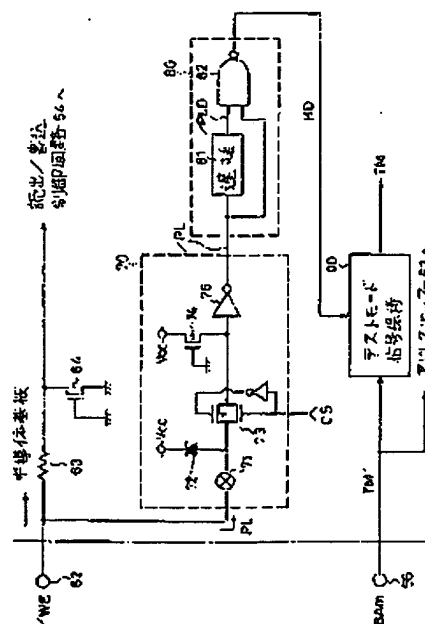
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【構成】 SRAMの出荷前テストが要求されるとき、端子62を介して予め定められた時間長さを越えるパルス幅を有するパルス信号PLが与えられる。パルス幅検出回路80は与えられたパルス信号のパルス幅を検出し、保持信号HDを出力する。テストモード信号保持回路90は、保持信号HDにตอบสนองして外部から与えられるテストモード要求信号TM'を保持する。出荷前テストが終了された後は、ヒューズ71の熔断により、パルス幅検出回路80が不活化される。

【効果】 出荷前テストが行われた後ヒューズ71が熔断されるので、テストモード動作が好ましくなく行われるのが防がれる。



(2)

特開平6-12878

1

2

【特許請求の範囲】

【請求項1】 半導体メモリ装置であって、外部から与えられるパルス信号を受けるための第1の端子と、

外部から与えられるテストモード信号を受けるための第2の端子と、

前記第1の端子を介して与えられるパルス信号が予め定められた時間長さを越えるパルス幅を有していることを検出するパルス幅検出手段と、

前記パルス幅検出手段にตอบสนองして、前記第2の端子を介して与えられるテストモード信号を保持するテストモード保持手段と、

前記テストモード信号保持手段内に保持されたテストモード信号にตอบสนองして、前記半導体メモリ装置におけるテストを実行するテスト回路手段と、

前記テスト回路手段によりテストが実行されるべきでないとき、前記パルス幅検出手段による検出動作を不能化する不能化手段とを含む、半導体メモリ装置。

【請求項2】 半導体メモリ装置であって、外部から与えられ、かつ電源電位を越える高電圧を受けるための第1の端子と、

外部から与えられるテストモード信号を受けるための第2の端子と、

前記第1の端子を介して高電圧信号が与えられたことを検出する高電圧検出手段と、

前記高電圧検出手段にตอบสนองして、前記第2の端子を介して与えられるテストモード信号を保持するテストモード信号保持手段と、

前記テストモード信号保持手段内に保持されたテストモード信号にตอบสนองして、前記半導体メモリ装置におけるテストを実行するテスト回路手段と、

前記テスト回路手段によりテストが実行されるべきでないとき、前記高電圧検出手段による検出動作を不能化する不能化手段とを含む、半導体メモリ装置。

【請求項3】 半導体メモリ装置であって、外部から与えられ、かつ電源電位を越える高電圧信号を受けるための予め定められた端子と、

前記予め定められた端子を介して高電圧信号が与えられたことを検出する高電圧検出手段と、

前記高電圧検出手段にตอบสนองして、前記半導体メモリ装置におけるテストを実行するテスト回路手段と、

前記テスト回路手段によりテストが実行されるべきでないとき、前記高電圧検出手段を前記あらかじめ定められた端子から切断する切断回路手段とを含む、半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、一般に半導体メモリ装置に関し、特に、テストモード動作が望ましくなく引き起こされるのを防ぐことのできる半導体メモリ装置に

関する。

【0002】

【背景の技術】一般に、半導体メモリを始めとする半導体集積回路装置について、工場の出荷前に、製造された半導体集積回路装置が所望の機能を達成できるか否かを確認するための出荷前テストが行われる。出荷前テストにおいて、たとえば半導体メモリは、外部から指定されたテストモードにおいて動作される。すなわち、外部から何らかのテストモード信号が半導体メモリに与えられ、半導体メモリは与えられたテストモード信号にตอบสนองしてテストモード動作を実行する。

【0003】一般に、出荷前テストは半導体装置の製造工場においてのみ行われるべきである。すなわち、半導体装置のユーザにとっては、出荷された半導体装置が出荷前テストのためのテストモードにおいて動作することは望ましくない。しかしながら、場合によっては、テストモード動作が好ましくなく引き起こされることもある。以下の記載では、まずこの望ましくないテストモード動作が引き起こされる原因について半導体メモリについて説明する。

【0004】図6は、この発明の背景を示すスタティックランダムアクセスメモリ（以下「SRAM」という）のブロック図である。図6を参照して、このSRAM101は、n個のメモリブロックBK1ないしBK nと、アクセスされるべきメモリブロックを選択するためのブロックセクタ回路8とを含む。メモリブロックBK1ないしBK nのうちの1つ、たとえばメモリブロックBK1は、行および列に配設されたメモリセル（図示せず）を備えたメモリセルアレイ11と、ビット線負荷回路171と、アクセスされるべきビット線対を選択するためのマルチプレクサ21と、データ書込のための書込バッファ31と、データ読出のためのセンスアンプ41とを含む。他のメモリブロックBK2ないしBK nにおいても、同様の回路構成が設けられている。

【0005】SRAM101は、さらに、外部から与えられる行アドレス信号RAを受ける行アドレスバッファ51と、外部から与えられる列アドレス信号CAを受ける列アドレスバッファ52と、外部から与えられるブロックアドレス信号BAを受けるブロックアドレスバッファ53と、行アドレス信号RAをデコードする行デコーダ6と、列アドレス信号CAをデコードする列デコーダ7と、ブロックアドレス信号BAをデコードすることによりアクセスされるべきブロックを選択するブロックセクタ8と、入力データ信号D iを受けるデータ入力バッファ55と、出力データ信号D Oを出力するデータ出力バッファ56と、外部から与えられるチップ選択信号/CSおよび書込イネーブル信号/WEにตอบสนองして動作する読出/書込制御回路54とを含む。

【0006】次に、通常のアクセス動作について説明する。たとえばメモリブロックBK1がアクセスされると

(3)

特開平6-12878

3

き、メモリブロックBK1を指定するためのブロックアドレス信号BAがアドレスバッファ53を介してブロックセクタ回路8に与えられる。ブロックセクタ回路8は与えられたブロックアドレス信号BAをデコードし、書込バッファ31およびセンスアンプ41のみを選択的に活性化させる。データ読出において、行デコーダ6が行アドレス信号RAにตอบสนองしてメモリセルアレイ11内の1本のワード線（図示せず）を活性化させる。列デコーダ7は、列アドレス信号CAにตอบสนองしてメモリセルアレイ11内の1つの列を選択する。したがって、行デコーダ6および列デコーダ7によって指定されたメモリセルにストアされていたデータ信号がマルチプレクサ21を介してセンスアンプ41に与えられる。センスアンプ41によって増幅されたデータ信号は、データ出力バッファ56を介して出力データDOとして出力される。

【0007】書込動作において、入力データDIがデータ入力バッファ55を介して書込バッファ31に与えられる。列デコーダ7は、列アドレス信号CAにตอบสนองしてメモリセルアレイ11内の1つの列を選択する。行デコーダ6は、行アドレス信号RAにตอบสนองしてメモリセルアレイ11内の1本のワード線を活性化させる。したがって、書込バッファ31は、マルチプレクサ21を介して行デコーダ6および列デコーダ7によって指定されたメモリセルにデータ信号を書き込む。

【0008】図7は、図6に示したメモリセルアレイ11の周辺回路の回路図である。図7を参照して、表示の簡単化のため、メモリセルアレイ11内の4つのメモリセル24aないし24dだけが示される。メモリセル24aおよび24cは、ビット線20aと20bとの間に接続される。メモリセル24bおよび24dは、ビット線21aと21bとの間に接続される。

【0009】ビット線負荷回路171は、各々が電源電位Vccと対応する一本のビット線20a、20b、21aおよび21bとの間に接続されたNMOSTランジスタ25a、25b、26aおよび26bを含む。一方、マルチプレクサ21は、I/O線対29a、29bとビット線20a、20b、21aおよび21bとの間に接続されたNMOSTランジスタ27a、27b、28aおよび28bを含む、I/O線対29aおよび29bは、センスアンプ41の入力および書込バッファ31の出力に接続される。

【0010】行デコーダ6は、アクセスされるべきメモリセルに接続されているワード線WL0およびWL1の一本を選択的に活性化する。ワード線WL0に接続されたメモリセル24aおよび24bは、ひとつのメモリセル行を構成する。ワード線WL1が活性化されたとき、メモリセル24aおよび24bを含むメモリセル行がアクセスされる。一方、行デコーダ7は、アクセスされるべきメモリセル列を選択するための列選択信号Y0および

4

びY1の一方を活性化する。たとえば、列選択信号Y0が活性化されたとき、トランジスタ27aおよび27bがオンするので、メモリセル24aおよび24cを含むメモリセル列がアクセスされる。

【0011】図8は、図7に示したメモリセルの一例を示す回路図である。図8を参照して、このメモリセルMC1（たとえば図7の24a）は、NMOSTランジスタ41aおよび41bと、高抵抗負荷としての抵抗43aおよび43bと、アクセスゲートとしてのNMOSTランジスタ42aおよび42bとを含む。

【0012】図9は、図7に示したメモリセルの別の例を示す回路図である。図9を参照して、このメモリセルMC2は、NMOSTランジスタ41aおよび41bと、負荷として働くPMOSTランジスタ44aおよび44bと、アクセスゲートとしてのNMOSTランジスタ42aおよび42bとを含む。

【0013】図10は、図7に示したメモリセル24aの読出動作を説明するためのタイミング図である。図10を参照して、横軸は時間の経過を示し、縦軸は電位（ボルト）を示す。ラインAD1は、行アドレスバッファ51および列アドレスバッファ52の入力信号の変化を示す。ラインAD0は、行および列アドレスバッファ51および52の出力信号の変化を示す。ラインWLは、メモリセル24aに接続されたワード線WL0の変化を示す。ラインI/OはI/O線対29aおよび29bの電位の変化を示す。ラインSA0は、センスアンプ41の出力電圧の変化を示す。ラインDOは、データ出力バッファ56の出力電圧の変化を示す。

【0014】時刻t0において、入力アドレス信号AD1が変化される。したがって、アドレスバッファ51および52の出力信号AD0は、時刻t1において変化する。時刻t2において、ワード線WL0の電位が変化するので、メモリセル24a内にストアされたデータ信号がビット線対20a、20bに伝えられる。これに加えて、列デコーダ7から出力される列選択信号Y0が高レベルになるので、トランジスタ27aおよび27bがオンする。したがって、時刻t3において、I/O線対29aおよび29bの電位が変化する。

【0015】時刻t4においてセンスアンプ41が、読出/書込制御回路54から与えられる制御信号にตอบสนองして活性化されるので、センスアンプ41によるデータ信号の増幅が行われる。したがって、時刻t5において、データ出力バッファ56の出力信号DOがメモリセル24aから読出されたデータに従って変化する。

【0016】前述の出荷前テストにおいて、一般に半導体装置の加速試験（テスト）が行われる。SRAMについても、環境ストレス（温度、湿度、振動など）および電気ストレス（電圧、電流など）をSRAMに与えることによって加速試験が行われる。すなわち、上記のストレスがSRAMに与えられた後、そのSRAMについて

(4)

特開平6-12878

5

データ書込およびデータ読出が行われる。メモリセルアレイ内のすべてのメモリセルについてデータ書込およびデータ読出が繰返され、書込データと読出データが常に一致することが確認される。もし、書込データと読出データの一致が検出されないとき、そのSRAMは不良品であるとして廃棄される。

【0017】上記のデータ書込およびデータ読出を個々のメモリセルについて行い、かつ一致を個々に読出すことは、非常に長い時間を要するので、近年では、テスト時間を短縮するため次のような改善が施されている。

【0018】再び図6を参照して、SRAM101は、さらに、センスアンプ41ないし4nから出力されるデータ信号を受けるように接続された一致検出回路5を備えている。スベア端子57を介してテストモード信号TMが外部から与えられたとき、一致検出回路5、書込バッファ31ないし3nおよびセンスアンプ41ないし4nが能動化される。その結果、共通の入力信号DIを、各メモリセルアレイ11ないし1nにおいて対応するアドレスのメモリセルに書き込むことが可能となる。さらに、各メモリセルアレイ11ないし1n内の対応するアドレスのメモリセルから読出されたデータ信号を、センスアンプ41ないし4nを介して同時に一致検出回路5に与えることが可能となる。一致検出結果を示す信号は、テストモードにおいて、データ出力バッファ56を介して外部に出力される。

【0019】テストモード信号TMが与えられている間において、行アドレス信号RAおよび列アドレス信号CAが繰返し与えられ、各メモリセルアレイ11ないし1n内の対応するアドレスのメモリセルにデータ信号が書き込まれ、かつストアされたデータ信号が読み出される。一致検出回路5において、いずれのアドレスについても書込データと読出データとの間の一致が検出される。そのSRAMが「良品」として判断される。このように、一致検出回路5を用いることにより、すべてのメモリセルアレイ11ないし1nについて、データ書込およびデータ読出の繰返しを並列に行うことができるので、テストに要する時間が短縮される。

【0020】図6に示したSRAM101では、テストモードを指定するのに、スベア端子57が用いられている。もし、SRAMがスベア端子を有していないとき、図11に示すような高電圧検出回路59が設けられる。

【0021】図11は、この発明の背景を示すSRAMの別の例を示すブロック図である。図11を参照して、このSRAM102は、ブロックアドレス信号BAを受ける外部端子のうち最上位の端子58に接続された高電圧検出回路59を含む。外部からテストモードが指定されるとき、端子58を介して高電圧信号HVを与える高電圧信号HVが端子58を介して与えられる。高電圧検出回路59は、与えられた高電圧信号HVに反応してテストモード信号TMを出力する。テストモード信号TM

6

は、一致検出回路5、書込バッファ31ないし3nおよびセンスアンプ41ないし4nに与えられる。

【0022】ブロックアドレス信号BAの最上位ビットを受けるための端子58は、通常の動作においてメモリブロックを指定するために使用される。テストモードにおいて、前述のようにすべてのメモリブロックがアクセスされる。したがって、メモリブロックの指定の必要がないので、端子58はテストモードにおいてテストモードを外部から指定するのに使用できる。すなわち、端子58を介して高電圧信号HVを与えることは、テストモードにおいて何ら問題を生じさせない。

【0023】高電圧検出回路59がテストモード信号TMを出力した後、図6に示したSRAM101と同様のテスト動作、すなわち一致検出回路5による一致検出動作が繰返される。

【0024】図12は、この発明の背景を示すSRAMのさらに別の例を示すブロック図である。図12を参照して、このSRAM103は、書込インネブル信号/W_Eを受けるための端子62に接続された高電圧検出回路60と、ブロックアドレス信号BAの最上位ビットを受けるための端子58に接続されたテストモード信号保持回路61とを含む。外部からテストモードが指定されるとき、端子62を介して高電圧信号HVが与えられる。高電圧検出回路60は高電圧信号HVに反応して保持信号HDを出力する。テストモード信号保持回路61は、与えられた保持信号HDに反応して、端子58を介して与えられるテストモード信号TM'を保持する。保持された信号は、テストモード信号TMとしてテストモード信号保持回路61から出力される。

【0025】図12に示したSRAM103では、外部からテストモードを指定するのに、高電圧検出回路60およびテストモード信号保持回路61が用いられている。テストモード信号TM'が一旦テストモード信号保持回路61内に保持された後、テストモード信号TMが一致検出回路5、書込バッファ31ないし3nおよびセンスアンプ41ないし4nに与えられ続ける。したがって、テストモードの指定が終了した後、端子62に高電圧信号HVを与え続ける必要がない。一致検出回路5による一致検出動作は、図6に示したSRAM101と同様にされる。

【0026】図13は、図12に示した高電圧検出回路60の回路図である。図13を参照して、高電圧検出回路60は、レベル判別のためのインバータ78と、端子62とインバータ78の入力ノードとの間に直列に接続されたNMOSトランジスタ86、87および88とを含む。各トランジスタ86、87および88は、対応するゲートが対応するドレインに接続され、ダイオードを構成している。

【0027】動作において、端子62を介して電源電位V_{cc}以下の信号が与えられたとき、インバータ78は

(5)

特開平6-12878

7

高レベルの保持信号H Dを出力する。したがって、テストモード信号保持回路6 1は、この場合では、端子5 8を介して与えられる信号T M'を保持しない。一方、端子6 2を介して電源電位V c cを越える高電圧信号H Vが与えられたとき、インバータ7 8が低レベルの保持信号H Dを出力する。テストモード信号保持回路6 1は、信号H Dに反応して、端子5 8を介して与えられるテストモード信号T M'を保持し、保持された信号がテストモード信号T Mとして出力される。図1 3に示した高電圧検出回路6 0は、図1 1に示した高電圧検出回路5 9

【0 0 2 8】

【発明が解決しようとする課題】上記の説明から分かるように、図1 1および図1 2に示したSRAM1 0 2および1 0 3では、外部からテストモードを指定するのに、他の目的を有している端子5 8および6 2が共用されている。端子5 8および6 2の共用は、外部端子の増加を防ぐのに貢献するのであるが、次のような問題を引き起こすことがある。

【0 0 2 9】高電圧検出回路5 9および6 0は、図1 3に示すような回路構成を有しているので、SRAMの製造における何らかの原因により、高電圧信号H Vの判別のためのしきい値がしばしば変動され得る。テストモードの指定を確実に行うためには、高電圧信号H Vの電位をより高く選択するべきであるが、そのような高電圧の供給はMOSトランジスタを破壊しやすい。したがって、高電圧信号H Vの電位は、電源電位V c cを越えるそれほど高くない範囲内に選択する必要がある。その結果、高電圧の判別のためのしきい値が製造工程における何らかの原因により低くなっている場合に、テストモードの指定がユーザによって要求されていないにもかかわらず、テストモードの指定が認識されることがあり得る。したがって、そのような場合にはSRAMにおけるテストモード動作が開始されてしまい、そのことはSRAMのユーザにとって誤動作として認識される。

【0 0 3 0】この発明は、上記のような課題を解決するためになされたもので、半導体メモリ装置において、テストモード動作が好ましくなく引き起こされるのを防ぐことを目的とする。

【0 0 3 1】

【課題を解決するための手段】請求項1の発明にかかる半導体メモリ装置は、外部から与えられるパルス信号を受けるための第1の端子と、外部から与えられるテストモード信号を受けるための第2の端子と、第1の端子を介して与えられるパルス信号が予め定められた時間長さを越えるパルス幅を有していることを検出するパルス幅検出手段と、パルス幅検出手段に反応して、第2の端子を介して与えられるテストモード信号を保持するテストモード信号保持手段と、テストモード信号保持手段内に保持されたテストモード信号に反応して、半導体メモリ

8

装置におけるテストを実行するテスト回路手段と、テスト回路手段によりテストが実行されるべきでないとき、パルス幅検出手段による検出動作を不能化する不能化手段とを含む。

【0 0 3 2】請求項2の発明にかかる半導体メモリ装置は、外部から与えられ、かつ電源電位を越える高電圧信号を受けるための第1の端子と、外部から与えられるテストモード信号を受けるための第2の端子と、第1の端子を介して高電圧信号が与えられたことを検出する高電圧検出手段と、高電圧検出手段に反応して、第2の端子を介して与えられるテストモード信号を保持するテストモード保持手段と、テストモード信号保持手段内に保持されたテストモード信号に反応して、半導体メモリ装置におけるテストを実行するテスト回路手段と、テスト回路手段によりテストが実行されるべきでないとき、高電圧検出手段による検出動作を不能化する不能化手段とを含む。

【0 0 3 3】請求項3の発明にかかる半導体メモリ装置は、外部から与えられ、かつ電源電位を越える高電圧信号を受けるための予め定められた端子と、予め定められた端子を介して高電圧信号が与えられたことを検出する高電圧検出手段と、高電圧検出手段に反応して、半導体メモリ装置におけるテストを実行するテスト回路手段と、テスト回路手段によりテストが実行されるべきでないとき、高電圧検出手段を予め定められた端子から切断する切断回路手段とを含む。

【0 0 3 4】

【作用】請求項1の発明における半導体メモリ装置では、パルス幅検出手段が、予め定められた時間長さを越えるパルス幅を有しているパルス信号が与えられたことを検出したときのみ、テストモード信号保持手段が第2の端子を介して与えられるテストモード信号を保持する。テスト回路手段は、保持されたテストモード信号に反応して半導体メモリ装置におけるテストを実行する。これに加えて、テスト回路手段によるテストが実行されるべきでないとき、不能化手段がパルス幅検出手段による検出動作を不能化する。したがって、テスト回路手段によりテストが実行されるべきでないときに、テストモード信号保持手段がテストモード信号を保持することはなく、その結果テスト回路手段が好ましくなく動作するのが防がれる。

【0 0 3 5】請求項2の発明における半導体メモリ装置でも、テスト回路手段によりテストが実行されるべきでないときに、不能化手段が高電圧検出手段による検出動作を不能化する。その結果、テストモード信号保持手段がこのときにテストモード信号を保持することはなく、したがって、テスト回路手段が好ましくなく動作することが防がれる。

【0 0 3 6】請求項3の発明における半導体メモリ装置では、テスト回路手段によりテストが実行されるべきで

(6)

特開平6-12878

9

ないとき、切断回路手段が高電圧検出手段を予め定められた端子から切断する。その結果、高電圧検出手段が動作することがなく、したがって、テスト回路手段が好ましくなく動作することが防がれる。

【0037】

【実施例】図1は、この発明の一実施例を示すSRAMのブロック図である。図1を参照して、このSRAM100は、音込イネーブル信号/WEを受けるための端子62に接続された切断回路70と、切断回路70を介して与えられるパルス信号のパルス幅を検出するためのパルス幅検出回路80と、ブロックアドレス信号BAの最上位ビットを受けるための端子58に接続されたテストモード信号保持回路90を含む。SRAM100の他の回路構成については、図6に示したSRAM101と同様であるので説明が省略される。

【0038】図2は、図1に示した切断回路70およびパルス幅検出回路80の回路図である。図2を参照して、切断回路70は、端子62に接続されたヒューズ71と、チップ選択信号CSにตอบสนองしてパルス信号PLを通過させるトランスマッションゲート73と、パルス信号PLを受けるように接続されたインバータ75と、インバータ75の入力ノードをプルアップするためのPMOSTランジスタ74と、ヒューズ71と電源端子Vccとの間に接続されたダイオード72とを含む。トランジスタ74のゲートは接地されている。

【0039】パルス幅検出回路80は、切断回路70から出力された反転されたパルス信号/PLを受ける遅延素子81と、信号/PLおよび遅延された信号/PLDを受けるNANDゲート82を含む。NANDゲート82の出力信号は、保持信号HDとしてテストモード信号保持回路90に与えられる。

【0040】図2に示した抵抗63およびNMOSTランジスタ64は、読出/書込制御回路54のための入力保護回路として設けられている。

【0041】図3は図2に示したパルス幅検出回路80の動作を説明するためのタイミング図である。図2および図3を参照して、以下にテストモード指定動作について説明する。

【0042】端子62を介して、テストモード信号の保持を要求するためのパルス信号PLが切断回路70に与えられる。パルス信号PLは、ヒューズ71およびトランスマッションゲート73を介してインバータ75に与えられる。外部から与えられたパルス信号PLは、プルアップのためのPMOSTランジスタ74に影響されことなくパルスを送ることができ、言い換えると、トランジスタ74は、パルス信号PLにうっかりインバータ75の入力ノードをプルアップできるほどの相互コンダクタンスを有していない。したがって、インバータ75を介して、反転されたパルス信号/PLが出力される。

10

【0043】パルス信号/PLは遅延素子81により遅延され、遅延されたパルス信号/PLDがNANDゲート82に与えられる。NANDゲート82は、パルス信号/PLをも受ける。遅延素子81における遅延時間 ΔT は、たとえば100msに設定されている。したがって、NANDゲート82は、パルス信号/PLが時間長さ ΔT を越えて低レベルであるとき、言い換えるとパルス信号/PLが ΔT を越えるパルス幅を有しているとき、低レベルの出力信号HDを出力する。すなわち、図3を参照して、時刻t1においてパルス信号/PLが立ち下がった後、時間長さ ΔT が経過した時刻t2において、NANDゲート82が低レベルの信号HDを出力する。

【0044】テストモード信号保持回路90は、低レベルの保持信号HDにตอบสนองしてテストモード信号TM'のための保持状態にもたらされる。時刻t3において、端子58を介してテストモードを要求するテストモード信号TM'が立ち下がる。したがって、テストモード信号保持回路90は、低レベルの保持信号HDにตอบสนองして低レベルのテストモード要求信号TM'を保持する。保持された信号は、低レベルのテストモード信号TMとしてテストモード信号保持回路90から出力される。低レベルのテストモード信号が出力されたとき、SRAM100においてテストモード動作が実行される。

【0045】テストモード信号TMがいったんテストモード信号保持回路90において保持された後は、端子62および58に何ら特別の信号を与え続ける必要がない。したがって、これらの端子62および58は、テストモード動作における必要に従って使用され得る。他方、テストモードの解除は次のように行われる。

【0046】時刻t11において低レベルのパルス信号/PLがパルス幅検出回路80に与えられる。時刻t11の後時間長さ ΔT が経過した時刻t12において、パルス幅検出回路80が低レベルの信号HDを出力する。したがって、テストモード信号保持回路90は、低レベルの保持信号HDにตอบสนองしてテストモード解除信号TM'を保持できる状態にもたらされる。

【0047】時刻t13において高レベルのテストモード解除信号TM'がテストモード信号保持回路90に与えられる。したがって、テストモード信号保持回路90は高レベルの信号TM'を保持し、保持された信号をテストモード信号TMとして出力する。すなわち、高レベルのテストモード信号TMが出力され、図1に示した一致検出回路5、書込バッファ31ないし3nおよびセンスアンプ41ないし4nに与えられる。高レベルのテストモード信号TMが出力されたとき、SRAM100におけるテストモード動作が終了され、したがってSRAM100が通常の動作を行ないうる状態にもたらされる。

【0048】図4は、図1に示したテストモード信号保

(7)

特開平6-12878

11

待回路90の回路図である。図4を参照して、テストモード信号保持回路90は、インバータ83、84および85と、NMOSトランジスタ91ないし96と、PMOSトランジスタ97および98と、キャパシタ99とを含む。

【0049】動作において、低レベルの保持信号HDが与えられたとき、インバータ84が高レベルの信号をトランジスタ92および96のゲートに与える。したがって、トランジスタ92および96がオンする。これに加えて、低レベルのテストモード要求信号TM'が端子58を介して与えられたとき、インバータ83が高レベルの信号をトランジスタ95のゲートに与える。したがって、トランジスタ93、94、97および98によって構成されたラッチ回路65の出力ノードN2が強制的にプルダウンされる。したがって、トランジスタ97および94がオンするので、ラッチ回路65はノードN2を介して低レベルのテストモード信号TMを出力する。

【0050】他方、低レベルの保持信号HDが与えられている期間において、高レベルのテストモード解除信号TM'が与えられたとき、トランジスタ91がオンし、トランジスタ95はオフする。したがって、ラッチ回路65のノードN1がトランジスタ91および92によって強制的にプルダウンされるので、トランジスタ98および93がオンする。その結果、高レベルのテストモード信号TMがノードN2を介して出力される。

【0051】高レベルの保持信号HDが与えられたとき、トランジスタ92および96はオフする。したがって、ラッチ回路65におけるテストモード信号の保持状態が維持されるので、テストモード信号保持回路90から出力されるテストモード信号TMのレベルは保たれる。

【0052】図4に示したテストモード信号保持回路90が低レベルのテストモード信号TMを出力している期間において、図1に示した一致検出回路5、書込バッファ31ないし3nおよびセンスアンプ41ないし4nによるテストモード動作が行われる。他方、高レベルのテストモード信号TMが出力されるとき、一致検出回路5は不能化され、書込バッファ31ないし3nおよびセンスアンプ41ないし4nの通常のアクセス動作を行う。

【0053】テストモード動作が行われるべきでないとき、テストモード信号保持回路TMは常に高レベルのテストモード信号TMを出力する必要がある。したがって、電源電圧Vccの供給が開始されたとき、テストモード信号保持回路90が自動的に高レベルのテストモード信号TMを出力するように、トランジスタ91ないし93のそれぞれのしきい電圧がトランジスタ94ないし96のそれぞれのしきい電圧よりも低くなるように設計されている。これにより、テストモード信号保持回路90は、保持信号HDが与えられなくても、電源電圧Vccが供給された後常に高レベルのテストモード信号TM

12

を出力することができる。したがって、SRAM100は、電源電圧Vccが供給された後は、常に通常の動作モードで動作できる状態にもたらされる。

【0054】再び図2を参照して、出荷前テストが終了した後、切断回路70内のヒューズ71が切断される。すなわち、SRAM100が出荷されたあとはテストモード動作が実行されるべきでない。ヒューズ71の切断によりパルス幅検出回路80の検出動作が不能化される。ヒューズ71の切断は次のように行われる。

【0055】図1に示した電源電圧端子Vccが接地され、これに加えて、端子62を介して高レベルの電圧が与えられる。したがって、電流が端子62からヒューズ71およびダイオード72を介して接地された電源端子Vccに流れるので、ヒューズ71が溶断される。ヒューズ71の溶断により、インバータ75の入力ノードは端子62から物理的に切断される。

【0056】SRAM100に通常の電源電圧Vccが与えられたとき、インバータ75の入力ノードはトランジスタ74により常にプルアップされる。したがってインバータ75が低レベルに固定された信号/PLを出力することになる。その結果、パルス幅検出回路が不能化され、高レベルの保持信号HDが出力される。テストモード信号保持回路90は、高レベルの保持信号HDが与えられるので、端子58に与えられるいかなる信号をも保持することはない。したがって、テストモード動作が好ましくなく行われるのが防がれる。

【0057】図5は、この発明の別の実施例のSRAMにおいて適用され得る高電圧検出回路の回路図である。図5を参照して、改善された高電圧検出回路60'は、図13に示した回路60と比較すると、さらに、ヒューズ89と、ダイオード76と、抵抗77とを備えている。ヒューズ89は、トランジスタ86ないし88の直列接続とインバータ78の入力ノードとの間に接続される。ダイオード76は、電源電圧端子Vccとインバータ78の入力ノードとの間に接続される。抵抗77は、インバータ78の入力ノードと接地電位との間に接続される。

【0058】図5に示した高電圧検出回路60'は、図11および図12に示したSRAM102および103における高電圧検出回路59および60に代えて用いられ得る。

【0059】端子62を介して、電源電圧Vccを越える高電圧信号HVが与えられたとき、インバータ78は低レベルの保持信号HDを出力する。テストモード信号保持回路90は、低レベルの信号HDにตอบสนองして、テストモード要求信号またはテストモード解除信号TM'を保持する。保持された信号はテストモード信号TMとしてテストモード信号保持回路90から出力される。

【0060】出荷前テストが終了された後、ヒューズ89が溶断される。ヒューズ89の溶断は図2に示したヒ

(8)

特開平6-12878

13

ューズ71と同様に行われる。すなわち、電源電圧端子Vccが接地された後、端子62を介して高レベルの電圧が与えられる。したがって、電流がトランジスタ86ないし88、ヒューズ89およびダイオード76を介して接地された電源電圧端子Vccに向かって流れるので、ヒューズ89が溶断される。言い代えると、インバータ78の入力ノードは、ヒューズ89の溶断により端子62から物理的に切断される。

【0061】SRAMに電源電圧Vccが供給された後、インバータ78の入力ノードは抵抗77の作用により低レベルにもたらしされる。したがって、インバータ78が高レベルの保持信号HDを出力するので、テストモード信号保持回路90が信号TM'を保持することはない。したがって、テストモード信号保持回路90が低レベルのテストモード信号TMを出力することがないので、テストモード動作が好ましくなく実行されるのが防がれる。

【0062】図5に示した高電圧検出回路60'は、図11に示したSRAM102における高電圧検出回路59に代えても適用され得ることが指摘される。そのようなSRAMの実施例では、インバータ78からテストモード信号TMが直接に出力される。出荷前テストが終了した後、ヒューズ89が溶断されるので、高レベルのテストモード信号TMが常に出力される。したがって、テストモード動作が好ましくなく実行されるのが防がれる。

【0063】このように、図1に示したSRAM100は、図2に示した切断回路70およびパルス幅検出回路80を備えている。パルス幅検出回路80は、予め定められた時間長さΔTを越えるパルス幅を有するパルス信号PLが与えられたことに応答して低レベルの保持信号HDを出力する。したがって、テストモード信号保持回路90が特定のパルス信号PLが与えられたときのみにおいて信号TM'を保持するので、テストモード信号保持回路90からテストモード信号TMが誤って出力されるのが防がれる。これに加えて、出荷前テストが終了された後は、ヒューズ71が溶断されるので、パルス幅検出回路80が不能化される。したがって、テストモード信号保持回路90が与えられた信号TM'を保持することなく、テストモード動作が行われることはない。

【0064】さらには、図5に示した高電圧検出回路60'は図11または図12に示したSRAM102、103における高電圧検出回路59、60に代えて適用され得る。高電圧検出回路60'内のヒューズ89を溶断することにより、高レベルの保持回路HDまたは高レベルのテストモード信号が常に出力される。したがって、これらのSRAM102および103においてもテストモード動作が好ましくなく行われるのが防がれる。

【0065】

【発明の効果】以上のように、請求項1の発明によれ

14

ば、パルス幅検出手段が設けられ、さらにはテスト回路手段によりテストが実行されるべきでないとき、パルス幅検出手段による検出動作を不能化する不能化手段を設けたので、半導体メモリ装置においてテストモード動作が望ましくなく引き起こされるのが防がれる。

【0066】請求項2の発明によれば、テスト回路手段によりテストが実行されるべきでないとき、高電圧検出手段による検出動作を不能化する不能化手段を設けたので、半導体メモリ装置においてテストモード動作が望ましくなく引き起こされるのを防ぐことができる。

【0067】また、請求項3の発明によれば、テスト回路手段によりテストが実行されるべきでないとき、高電圧検出手段を予め定められた端子から切断する切断回路手段を設けたので、半導体メモリ装置においてテストモード動作が望ましくなく引き起こされるのを防ぐことができる。

【図面の簡単な説明】

【図1】この発明の一実施例を示すSRAMのブロック図である。

【図2】図1に示した切断回路およびパルス幅検出回路の回路図である。

【図3】図2に示したパルス幅検出回路の動作を説明するためのタイミング図である。

【図4】図1に示したテストモード信号保持回路の回路図である。

【図5】この発明の別の実施例のSRAMにおいて適用され得る高電圧検出回路の回路図である。

【図6】この発明の背景を示すSRAMの一例のブロック図である。

【図7】図6に示したメモリセルアレイの周辺回路の回路図である。

【図8】図7に示したメモリセルの一例を示す回路図である。

【図9】図7に示したメモリセルの別の例を示す回路図である。

【図10】図7に示したメモリセルの読出動作を説明するためのタイミング図である。

【図11】この発明の背景を示すSRAMの別の例を示すブロック図である。

【図12】この発明の背景を示すSRAMのさらに別の例を示すブロック図である。

【図13】図12に示した高電圧検出回路の回路図である。

【符号の説明】

5 一致検出回路

8 ブロックセクタ回路

6 行デコーダ

7 列デコーダ

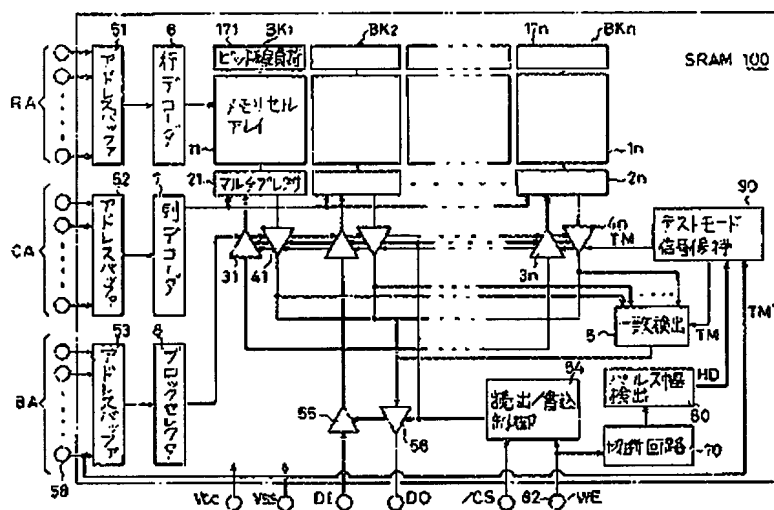
11-1n メモリセルアレイ

31-3n 書込バッファ

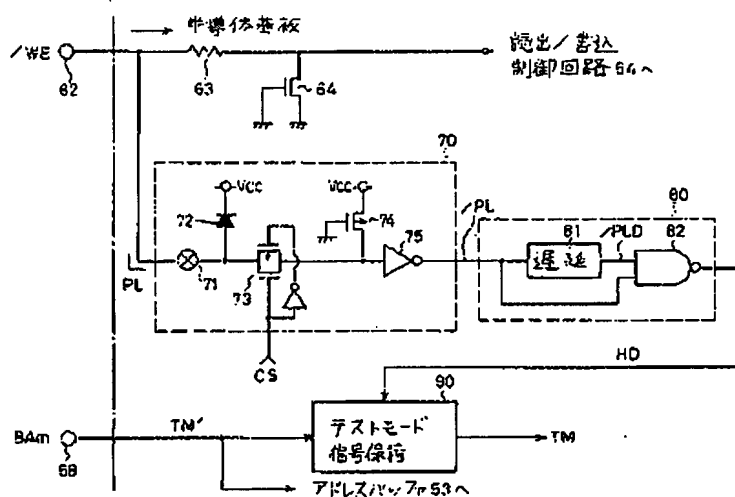
特開平6-12878

16
* 90 テストモード信号保持回路
100 SRAM
* BK1-BKn メモリブロック

【图 1】



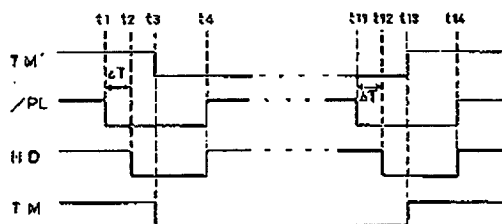
【圖2】



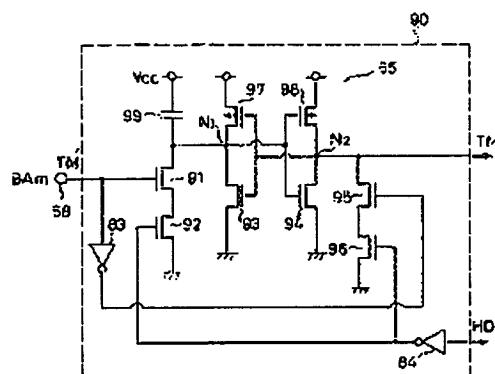
(10)

特開平6-12878

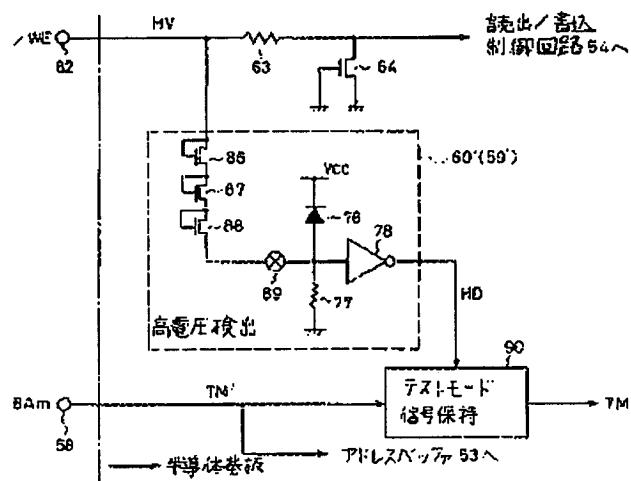
【圖3】



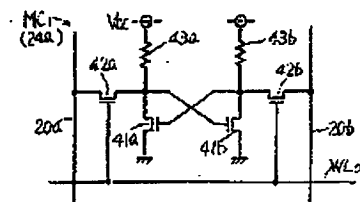
【图4】



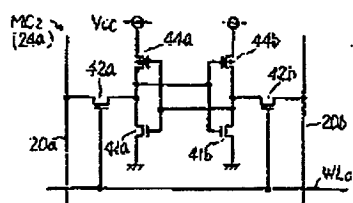
【圖5】



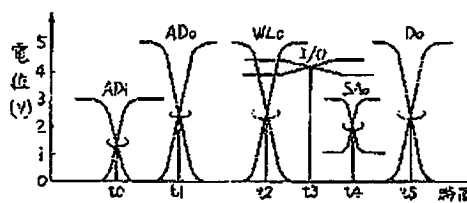
【圖8】



【图9】



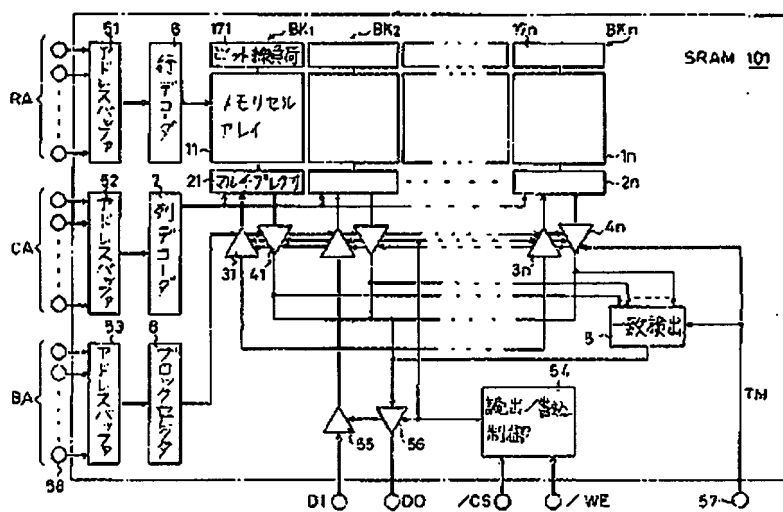
【圖 10】



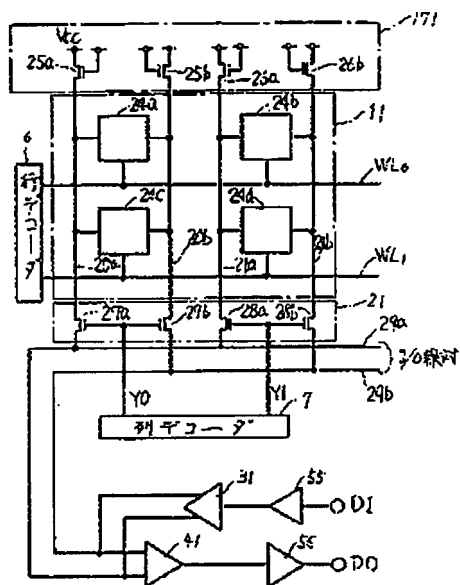
(11)

特開平6-12878

【図6】

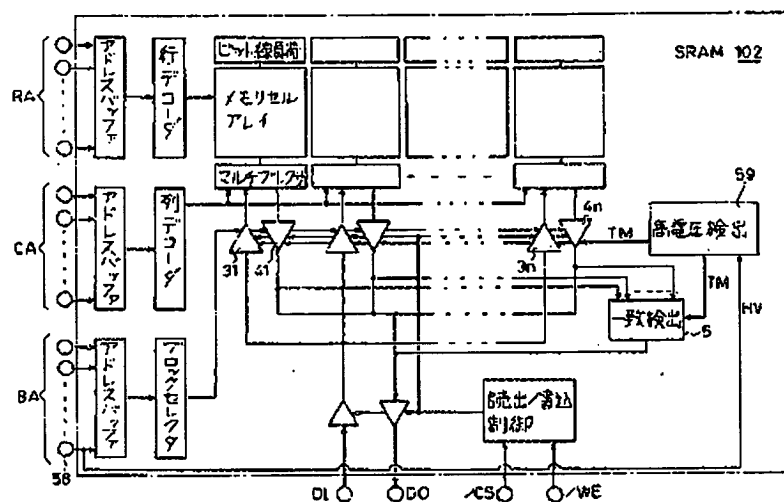


【図7】

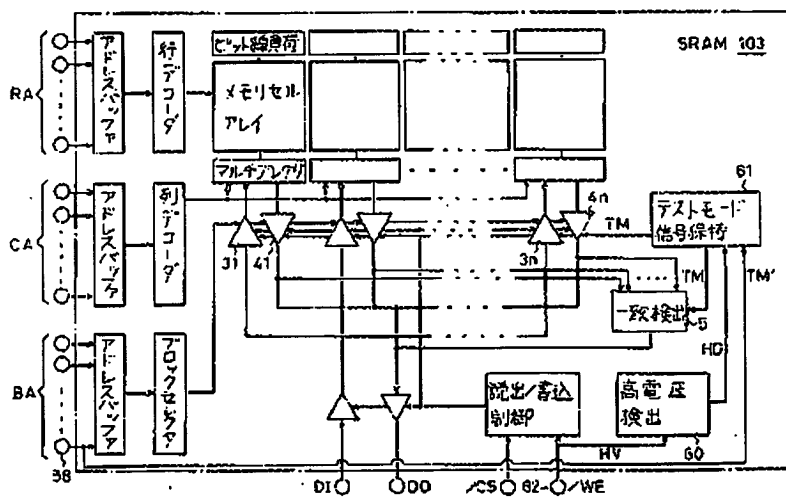


特開平6-12878

【圖 11】



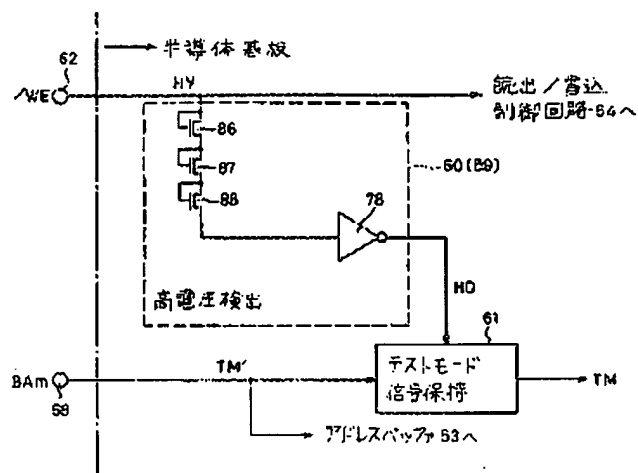
【图 12】



(13)

特開平6-12878

【図13】



フロントページの続き

(51)Int.Cl.
H01L 27/10

識別記号
481

片内整理番号
8728-4M
6741-5L

F I

G I I C 11/34

技術表示箇所

303

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.